

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-275082

(43)Date of publication of application : 18.10.1996

(51)Int.Cl.

H04N 5/46

H04N 5/14

(21)Application number : 07-075644

(71)Applicant : SONY CORP

(22)Date of filing : 31.03.1995

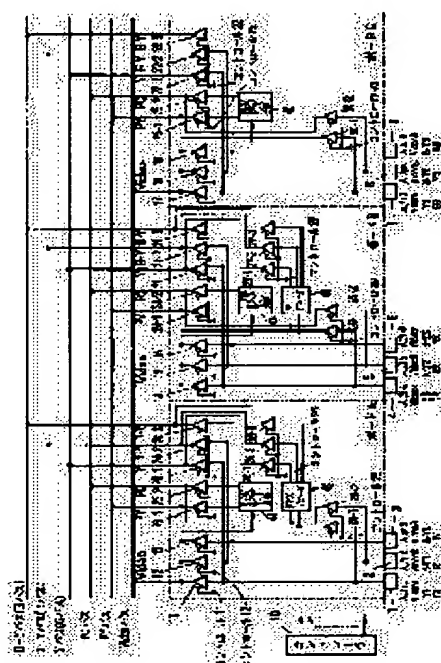
(72)Inventor : KOSUGI YOSHIHIRO  
FURUYA RYOZO

## (54) VIDEO SIGNAL INPUT/OUTPUT DEVICE

## (57)Abstract:

PURPOSE: To select an optional signal by sending a video signal to a bus line via a buffer amplifier.

CONSTITUTION: Any of signals received by input terminals 1 to 3 of a board A is selected by buffer amplifiers 11 to 13 and outputted to a video bus. Similarly a signal received by input terminals 4 to 6 is selected by buffer amplifiers 14 to 16 and outputted to the video bus. Any of signals received by input terminals 7 to 9 of a board C is selected by buffer amplifiers 17 to 19 and outputted to the video bus. The signal outputted to the video bus is directly fed to a 2-dimensional Y/C separator circuit 41 of the board A, a 2-dimensional Y/C separator circuit 43 of the board B, and a 3-dimensional Y/C separator circuit 45 of the board C.



## LEGAL STATUS

[Date of request for examination]

05.04.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-275082

(43)公開日 平成8年(1996)10月18日

(51)Int.Cl.<sup>6</sup>

H04N 5/46  
5/14

識別記号

庁内整理番号

F I

H04N 5/46  
5/14

技術表示箇所

B

審査請求 未請求 請求項の数7 O L (全 8 頁)

(21)出願番号

特願平7-75644

(22)出願日

平成7年(1995)3月31日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 小杉 芳弘

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 古屋 良三

東京都品川区北品川6丁目7番35号 ソニー株式会社内

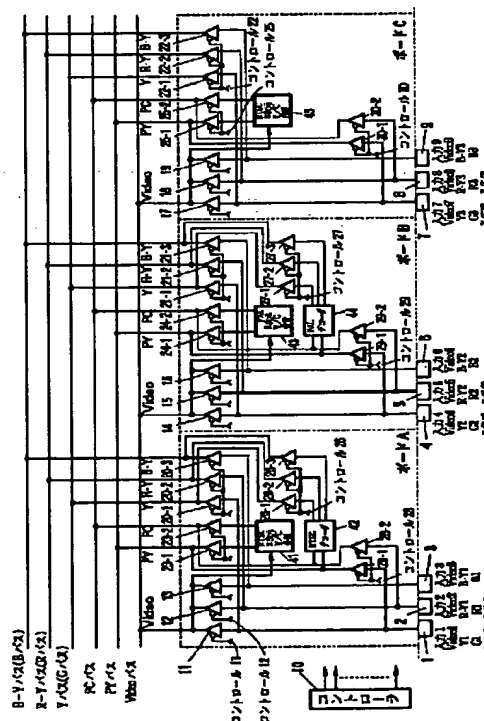
(74)代理人 弁理士 稲本 義雄

(54)【発明の名称】 映像信号入出力装置

(57)【要約】

【目的】 任意の信号を選択できるようにする。

【構成】 ボードAの入力端子1乃至3に入力された信号をバッファアンプ11乃至13で選択し、ビデオバスに出力する。同様に、ボードBの入力端子4乃至6に入力された信号をバッファアンプ14乃至16で選択し、ビデオバスに出力する。ボードCの入力端子7乃至9より入力された信号をバッファアンプ17乃至19で選択し、ビデオバスに出力する。ビデオバスに出力された信号をボードAの2次元Y/C分離回路41あるいはボードBの2次元Y/C分離回路43、ボードCの3次元Y/C分離回路45に直接供給させる。



## 【特許請求の範囲】

- 【請求項1】 映像信号が入力される複数の入力端子と、  
映像信号が伝送されるバスラインと、  
コントロール信号により制御され、前記入力端子より入力された映像信号のうち所定のものを前記バスラインに送出する複数のバッファアンプとを備えることを特徴とする映像信号入出力装置。
- 【請求項2】 前記バッファアンプは、複数の基板に分散して配置されていることを特徴とする請求項1に記載の映像信号入出力装置。
- 【請求項3】 前記バッファアンプに入出力される映像信号を処理する処理回路をさらに備えることを特徴とする請求項1に記載の映像信号入出力装置。
- 【請求項4】 前記処理回路は、NTSCデコーダ、PALデコーダ、またはY/C分離回路のいずれかであることを特徴とする請求項3に記載の映像信号入出力装置。
- 【請求項5】 前記バスラインは複数設けられていることを特徴とする請求項3に記載の映像信号入出力装置。
- 【請求項6】 複数の前記バスラインは、コンポジット信号、Y信号、C信号、またはR、G、B信号を伝送することを特徴とする請求項5に記載の映像信号入出力装置。
- 【請求項7】 映像信号を処理する第1の処理回路と、映像信号を処理する第2の処理回路と、  
前記第1の処理回路により処理される映像信号が入力される第1の入力端子と、  
前記第2の処理回路により処理される映像信号が入力される第2の入力端子と、  
前記第1の処理回路に入力または出力される映像信号をスイッチングする第1のバッファアンプと、  
前記第2の処理回路に入力または出力される映像信号をスイッチングする第2のバッファアンプと、  
前記第1および第2の処理回路により処理された映像信号を伝送するとともに、前記第1の入力端子より入力された映像信号を前記第2の処理回路に供給するか、または前記第2の入力端子より入力された映像信号を前記第1の処理回路に供給するように接続されている複数のバスラインとを備えることを特徴とする映像信号入出力装置。
- 【発明の詳細な説明】
- 【0001】
- 【産業上の利用分野】本発明は、映像信号入出力装置に関し、特に複数の映像信号のうち、所定の映像信号に所定の処理を施して出力することができるようにした映像信号入出力装置に関する。
- 【0002】
- 【従来の技術】NTSC方式の映像信号とPAL方式の映像信号とでは、そのフォーマットが異なっているた

め、それらの映像信号を処理する回路としては、専用の回路が必要となる。図3は、このような異なるフォーマットの映像信号を取り扱うAVシステムの従来の構成例を表している。

【0003】すなわち、この例においては、NTSCデコーダ101が、その入力端子101Aより入力されたNTSC方式の映像信号をデコードし、その出力端子101Bより出力するようになされている。また、PALデコーダ102は、その入力端子102Aより入力されたPAL方式の映像信号をデコードし、出力端子102Bより出力するようになされている。AVスイッチ103は、入力端子103Aまたは103Bより入力された映像信号のいずれか一方を選択し、出力端子103Cより出力するようになされている。

【0004】従って、従来のAVシステムにおいては、NTSC方式の映像信号は、NTSCデコーダ101の入力端子101Aに供給し、PAL方式の映像信号は、PALデコーダ102の入力端子102Aに供給するように、信号ラインを接続するようにしていた。

## 【0005】

【発明が解決しようとする課題】このように従来のAVシステムにおいては、映像信号を入力するために、専用の入力端子が設けられており、その専用の入力端子に定められている映像信号を入力しないと、正しい復調出力を得ることができない課題があった。

【0006】例えば、PAL方式の映像信号をNTSCデコーダ101の入力端子101Aに入力したり、PALデコーダ102の入力端子102AにNTSC方式の映像信号を入力するようにすると、正しい復調出力を得ることができない課題があった。

【0007】従って、例えば、入力する（処理する）信号の数を増加するような場合、その信号を処理する機能を有する専用のボード（図3の例においては、デコーダ）を追加しなければならなかった。その結果、図3の例において、NTSC方式の2つの映像信号を処理するには、NTSCデコーダ101をもう1個別に設けなければならず、コスト高となる課題があった。

【0008】本発明はこのような状況に鑑みてなされたものであり、任意の映像信号を選択して、任意の処理を施して、出力することができるようにするものである。

## 【0009】

【課題を解決するための手段】請求項1に記載の映像信号入出力装置は、映像信号が入力される複数の入力端子と、映像信号が伝送されるバスラインと、コントロール信号により制御され、入力端子より入力された映像信号のうち所定のものをバスラインに送出する複数のバッファアンプとを備えることを特徴とする。

【0010】請求項7に記載の映像信号入出力装置は、映像信号を処理する第1の処理回路と、映像信号を処理する第2の処理回路と、第1の処理回路により処理され

る映像信号が入力される第1の入力端子と、第2の処理回路により処理される映像信号が入力される第2の入力端子と、第1の処理回路に入力または出力される映像信号をスイッチングする第1のバッファアンプと、第2の処理回路に入力または出力される映像信号をスイッチングする第2のバッファアンプと、第1および第2の処理回路により処理された映像信号を伝送するとともに、第1の入力端子より入力された映像信号を第2の処理回路に供給するか、または第2の入力端子より入力された映像信号を第1の処理回路に供給するように接続されている複数のバスラインとを備えることを特徴とする。

#### 【0011】

【作用】請求項1に記載の映像信号入出力装置においては、バッファアンプがコントロール信号により制御され、入力端子より入力された映像信号のうち、所定のものをバスラインに送出する。

【0012】請求項7に記載の映像信号入出力装置においては、複数のバスラインが、第1および第2の処理回路により処理された映像信号を伝送するように接続されているとともに、第1の入力端子より入力された映像信号を第2の処理回路に供給するか、あるいは第2の入力端子より入力された映像信号を第1の処理回路に供給するように接続されている。

#### 【0013】

【実施例】図1は、本発明の映像信号入出力装置の構成例を示すブロック図である。この実施例においては、ボードAが入力端子1乃至3を有し、ボードBが入力端子4乃至6を有し、ボードCが入力端子7乃至9を有している。そして、これらのボードA乃至ボードCの各バッファアンプに対して、コントローラ10より所定のコントロール信号（コントロール11乃至コントロール30）が供給されるようになされている。

【0014】ボードAには、NTSC方式のコンポジットビデオ信号をY信号（輝度信号）と、C信号（クロマ信号）とに2次元分離する2次元Y/C分離回路41と、入力されたY信号とC信号をデコードし、Y信号、R-Y信号およびB-Y信号として出力するNTSCデコーダ42とを有している。

【0015】入力端子1乃至3には、コンポジットのビデオ信号1乃至3がそれぞれ入力されるか、Y信号、R-Y信号またはB-Y信号が入力されるか、G（青）信号、R（赤）信号およびB（青）信号が入力されるようになされている。あるいはまた、入力端子1と2には、Y信号とC信号が入力されるようになされている。

【0016】入力端子1乃至3より入力された信号は、バッファアンプ11乃至13に入力され、そのいずれか1つの出力が選択されてビデオバスに伝送されるようになされている。また、入力端子1乃至3より入力された信号は、バッファアンプ20-1乃至20-3を介して、Yバス（Gバス）、R-Yバス（Rバス）およびB

-Yバス（Bバス）にそれぞれ出力されるようになされている。

【0017】さらに、入力端子1と2より入力された信号は、バッファアンプ28-1、28-2を介して、PYバスとPCバスに供給されるとともに、NTSCデコーダ42に供給されるようになされている。

【0018】NTSCデコーダ42の出力は、バッファアンプ26-1乃至26-3を介して、Yバス、R-YバスおよびB-Yバスにそれぞれ出力されるようになされている。

【0019】NTSC方式の2次元Y/C分離回路41には、バッファアンプ11乃至13のいずれかより出力された信号が供給されている。そして、分離回路41の出力は、バッファアンプ23-1、23-2を介して、PYバスとPCバスに出力されるようになされている。

【0020】また、ボードBにおいては、その入力端子4乃至6に、コンポジットのビデオ信号4乃至6が入力されるか、Y信号、R-Y信号およびB-Y信号が入力されるか、G信号、R信号およびB信号が入力されるようになされている。あるいはまた、入力端子4と5には、Y信号とC信号が入力されるようになされている。

【0021】入力端子4乃至6より入力された信号は、バッファアンプ14乃至16に入力され、その出力のいずれか1つが選択され、ビデオバスに出力されるようになされている。また、入力端子4乃至6に入力された信号は、バッファアンプ21-1乃至21-3を介して、Yバス（Gバス）、R-Yバス（Rバス）およびB-Yバス（Bバス）に、それぞれ出力されるようになされている。

【0022】さらに、入力端子4と5より入力された信号は、バッファアンプ29-1、29-2を介して、PYバスとPCバスに出力されるとともに、PALデコーダ44に入力されるようになされている。PAL方式のY信号とC信号をデコードするPALデコーダ44の出力は、バッファアンプ27-1乃至27-3を介して、Yバス、R-YバスおよびB-Yバスに出力されるようになされている。

【0023】PAL方式の2次元Y/C分離回路43には、バッファアンプ14乃至16の出力のいずれか1つが選択され、供給されるようになされている。そして、その処理出力は、バッファアンプ24-1、24-2を介して、PYバスとPCバスに出力されるようになされている。

【0024】ボードCにおいては、入力端子7乃至9にコンポジットのビデオ信号7乃至9が入力されるか、Y信号、R-Y信号およびB-Y信号が入力されるか、G信号、R信号およびB信号が入力されるようになされている。また、入力端子7と8には、Y信号とC信号が入力されるようになされている。

【0025】入力端子7乃至9より入力された信号は、

バッファアンプ17乃至19に入力され、そのいずれか1つの出力が選択されて、ビデオバスに出力されるようになされている。また、入力端子7乃至9より入力された信号は、バッファアンプ22-1乃至22-3を介して、Yバス、R-YバスおよびB-Yバスにそれぞれ出力されるようになされている。

【0026】また、入力端子7と8より入力された信号は、バッファアンプ30-1、30-2を介して、PYバスとPCバスに出力されるようになされている。

【0027】NTSC方式の3次元Y/C分離回路45は、バッファアンプ17乃至19のいずれか1つより出力された信号の入力を受け、その処理出力をバッファアンプ25-1、25-2を介して、PYバスとPCバスに出力するようになされている。

【0028】次に、その動作について説明する。ボードAにおいては、入力端子1乃至3にコンポジットビデオ信号が入力されているとき、バッファアンプ11乃至13のいずれか1つが出力イネーブル状態とされ、その出力イネーブル状態とされたバッファアンプに入力されている信号が選択され、ビデオバスに出力される。残りの2つのバッファアンプは、ディセーブル状態とされ、その出力は阻止される。いずれのコンポジット信号をビデオバスに出力するかは、コントローラ10が出力するコントロール信号としてのコントロール11乃至13で制御される。

【0029】バッファアンプ11乃至13のいずれか1つより出力されたコンポジットビデオ信号は、分離回路41に入力される。分離回路41は、入力されたコンポジット信号を上下の水平走査線間の相関を利用して（2次的に）、Y信号とC信号とに分離する。Y信号は、バッファアンプ23-1を介して、PYバスに出力され、C信号は、バッファアンプ23-2を介して、PCバスに出力される。

【0030】一方、入力端子1乃至3に、Y信号、R-Y信号およびB-Y信号が入力されたとき、バッファアンプ20-1乃至20-3が出力イネーブル状態とされ、入力されたY信号、R-Y信号およびB-Y信号が、それぞれYバス、R-YバスおよびB-Yバスに、そのまま出力される。

【0031】また、入力端子1乃至3に、G信号、R信号およびB信号が入力された場合においても、バッファアンプ20-1乃至20-3がイネーブル状態とされ、G信号、R信号およびB信号が、それぞれGバス（Yバス）、Rバス（R-Yバス）およびBバス（B-Yバス）に、そのまま出力される。

【0032】入力端子1と2にY信号とC信号が入力された場合においては、バッファアンプ28-1と28-2がイネーブル状態とされる。その結果、Y信号がPYバスに出力されるとともに、C信号がPCバスに出力される。

【0033】また、このとき、Y信号とC信号は、NTSCデコーダ42にも入力される。NTSCデコーダ42は、入力されたY信号とC信号から、Y信号、R-Y信号およびB-Y信号をデコードし、これらの信号をそれぞれバッファアンプ26-1乃至26-3を介して、Yバス、R-YバスおよびB-Yバスに出力する。

【0034】ボードBにおける動作は、基本的にボードAにおける動作と同様である。ただし、ボードAにおいては、NTSC方式のビデオ信号が入力され、必要に応じて処理された後、出力されるようになされているが、ボードBにおいては、PAL方式の映像信号が入力され、必要に応じて処理された後、出力される。

【0035】ボードCにおいては、入力端子7乃至9にコンポジットビデオ信号が入力されたとき、バッファアンプ17乃至19のいずれか1つがイネーブル状態とされ、いずれか1つのコンポジット信号が選択されてビデオバスに出力される。また、この選択されたコンポジットビデオ信号は、分離回路45に入力される。

【0036】分離回路45は、上下の水平走査線だけでなく、フィールド間あるいはフレーム間の相関をも利用して、コンポジット信号のY信号とC信号とを分離する。この分離回路45においては、フィールド間あるいはフレーム間の相関を利用するため、静止面のY信号とC信号を分離するのに有利である。逆に、動画のY信号とC信号を分離すると、かえってエラーが多くなる。このため、動画のY信号とC信号を分離するには、同一のフィールドの上下の水平走査線の相関のみを利用して、Y信号とC信号を分離する2次元Y/C分離回路41と43が有利となる。

【0037】分離回路45で分離されたY信号とC信号は、それぞれバッファアンプ25-1と25-2を介して、PYバスとPCバスに出力される。

【0038】入力端子7乃至9にY信号、R-Y信号およびB-Y信号が入力された場合においては、バッファアンプ22-1乃至22-3がイネーブル状態とされ、Y信号、R-Y信号およびB-Y信号が、それぞれYバス、R-Yバス、B-Yバスに出力される。

【0039】入力端子7乃至9にG信号、R信号およびB信号が入力された場合においても、バッファアンプ22-1乃至22-3がイネーブル状態とされ、入力されたG信号、R信号およびB信号が、それぞれGバス（Yバス）、Rバス（R-Yバス）、Bバス（B-Yバス）に出力される。

【0040】入力端子7と8にY信号とC信号が入力された場合においては、バッファアンプ30-1と30-2がイネーブル状態とされ、Y信号とC信号が、それぞれPYバスとPCバスに出力される。

【0041】図1に示すように、ビデオバスに出力された信号は、ボードAの分離回路41、ボードBの分離回路43、ボードCの分離回路45に、それぞれ直接入力

されるように、ビデオバス（ビデオバスに接続されている信号線）が接続されている。従って、所定のボードの入力端子より入力された信号を、ビデオバスを介して他のボードの分離回路に出力し、処理させることが可能である。

【0042】例えば、ボードAの入力端子1乃至3に入力されたコンポジットビデオ信号が静止面の信号であるとき、バッファアンプ11乃至13のいずれか1つをイネーブル状態とし、いずれか1つのコンポジットビデオ信号をビデオバスに出力する。このコンポジットビデオ信号は、ビデオバスを介してボードCの分離回路45に入力される。そして、分離回路45で分離したY信号とC信号をバッファアンプ25-1と25-2をイネーブル状態とすることで、PYバスとPCバスに出力する。

【0043】このようにすれば、静止面の処理に有利な3次元Y/C分離回路を有しないボードAに入力されたコンポジット信号を、静止面の処理に有利な分離回路を有するボードCの3次元Y/C分離回路45に伝送し、処理させることができる。

【0044】あるいは逆に、ボードCの入力端子7乃至9に入力されたコンポジット信号が動画像の信号である場合、これを3次元Y/C分離回路45で処理させるとエラーが多くなり、正確なY信号とC信号の分離が困難になる。そこで、この信号のいずれか1つをバッファアンプ17乃至19で選択し、ビデオバスに出力する。そして、ビデオバスに出力されたコンポジット信号をボードAの2次元Y/C分離回路41に供給する。そして、この分離回路41で分離したY信号とC信号をバッファアンプ23-1と23-2を介して、PYバスとPCバスに出力する。

【0045】このようにすれば、ボードCに必ずしも動画像の処理に有利な2次元Y/C分離回路を用意しておく必要がない。また、同様に、ボードAに静止面の処理に有利な3次元Y/C分離回路を用意しておく必要がない。従って、その分だけ部品点数を減らし、低コスト化を図ることができる。

【0046】また、PYバスとPCバスに出力されるY信号とC信号は、それぞれボードAのNTSCデコーダ42、ボードBのPALデコーダ44に供給される。従って、例えば、入力端子4と5にNTSC方式のY信号とC信号を入力するようにし、このY信号とC信号をバッファアンプ29-1、29-2を介して、PYバスとPCバスに伝送する。すると、このY信号とC信号は、PYバスとPCバスを介して、ボードAのNTSCデコーダ42に入力される。そして、NTSCデコーダ42でデコードされた結果得られたY信号、R-Y信号およびB-Y信号をバッファアンプ26-1乃至26-3を介して、Yバス、R-YバスおよびB-Yバスに出力することができる。このようにすれば、入力端子4と5を、NTSC方式の映像信号の拡張入力端子として利用

することができる。

【0047】同様に、入力端子1と2にPAL方式のY信号とC信号を入力し、バッファアンプ28-1、28-2を介して、PYバスとPCバスに出力すると、このY信号とC信号がPYバスとPCバスを介して、ボードBのPALデコーダ44に入力される。そこで、バッファアンプ27-1乃至27-3をイネーブル状態として、PALデコーダ44の出力するY信号、R-Y信号およびB-Y信号を、それぞれYバス、R-YバスおよびB-Yバスに出力することができる。すなわち、入力端子1と2を、PAL方式の映像信号の拡張入力端子として利用することができる。

【0048】また、この実施例においては、入力端子1乃至9に、Y信号、R-Y信号およびB-Y信号が入力された場合においては、バッファアンプ20-1乃至20-3、21-1乃至21-3、22-1乃至22-3を制御することで、それらを選択し、そのままYバス、R-Yバス、B-Yバスに出力することもできる。あるいは、入力端子1、2、4、5にY信号とC信号が入力された場合においては、これをNTSCデコーダ42またはPALデコーダ44でデコードして、Y信号、R-Y信号およびB-Y信号を得、これらをバッファアンプ26-1乃至26-3、27-1乃至27-3を介して、Yバス、R-YバスおよびB-Yバスに出力することができる。

【0049】さらに、この実施例においては、ボードA乃至ボードCに、それぞれ3つの入力端子を設け、それらをコンポジットビデオ信号の入力、Y信号、R-Y信号およびB-Y信号の入力、G信号、R信号およびB信号の入力、さらに、Y信号とC信号の入力に兼用することができる。その結果、入力端子の数を少なくすることができる。

【0050】以上のようにして、各バスに出力された信号は、それぞれ図示せぬ増幅回路に出力され、増幅された後、CRT、LCTなどの表示装置に出力され、表示される。

【0051】これにより、例えば、各国において、各国の方式（PAL方式またはNTSC方式）のビデオ機器で撮像したビデオテープなどの記録媒体を再生し、表示することが可能となる。

【0052】なお、図1に示す回路は、AVスイッチとして構成してもよく、また、モニタ装置に内蔵させるようにすることもできる。

【0053】図2は、図1に示したバッファアンプの構成例を示している。この実施例においては、バッファアンプ11が、PNPトランジスタ61を有し、そのベースに入力信号が入力されている。そのコレクタは、負の電圧源に接続されており、そのエミッタは、ダイオード62を介して、NPNトランジスタ68のベースに接続されている。

【0054】NPNトランジスタ68のベースにはまた、PNPトランジスタ（デジトラ）63のコレクタが、抵抗66を介して接続されているとともに、抵抗67を介して所定の負の電圧源に接続されている。PNPトランジスタ63は、そのエミッタとベースに接続された抵抗64を内蔵しており、また、そのベースに接続された抵抗65を内蔵している。このPNPトランジスタ63のベースにコントロール信号（コントロール11）が入力されるようになされている。PNPトランジスタ63のエミッタは、所定の正の電圧源に接続されている。

【0055】NPNトランジスタ68のコレクタは、所定の正の電圧源に接続されており、そのエミッタはダイオード69と抵抗70を介して所定の負の電圧源に接続されている。そして、ダイオード69と抵抗70の接続点が信号線 $V_{11}$ を介して、信号バスライン（ビデオバスライン）に接続されている。

【0056】なお、PNPトランジスタ63を通常のトランジスタにより構成し、抵抗64と65を外付けの抵抗とすることもできる。

【0057】バッファアンプ12もバッファアンプ11と同様に、PNPトランジスタ81、83、88、抵抗84、85、86、87、90、ダイオード82、89により構成されている。

【0058】次に、その動作について説明する。ビデオバスラインにバッファアンプ11に入力された信号を出力するとき、コントロール11が低レベルとされ、コントロール12が高レベルとされる。

【0059】コントロール11が低レベルにされると、PNPトランジスタ63がオンする。その結果、ダイオード62、PNPトランジスタ61に電流が流れるとともに、NPNトランジスタ68、ダイオード69、抵抗70に電流が流れる。従って、PNPトランジスタ61のベースに入力された信号に対応する電流が、NPNトランジスタ68、ダイオード69、抵抗70の経路で流れ、信号線 $V_{11}$ にPNPトランジスタ61のベースに入力された信号に対応する信号が出力される。

【0060】一方、バッファアンプ12のPNPトランジスタ83は、コントロール12が高レベルとされているため、オフする。その結果、NPNトランジスタ88もオフし、信号線 $V_{12}$ には、PNPトランジスタ81のベースに入力した信号が現れない。

【0061】逆に、バッファアンプ12に入力した信号をビデオバスラインに出力する場合においては、コントロール12を低レベルとし、コントロール11を高レベルにする。これにより、信号ライン $V_{12}$ にPNPトランジスタ81のベースに入力した信号が現れ、ビデオバスラインに伝送される。このとき、バッファアンプ11の信号線 $V_{11}$ には、PNPトランジスタ63がオフしてい

るため、PNPトランジスタ81のベースに入力された信号は現れないことになる。

【0062】以上の実施例においては、ボードA乃至ボードCの3つのボードを示したが、その数は2個にしたり、あるいは、4個以上とすることが可能である。また、各ボードにおいて、映像信号を処理する処理回路は、この実施例においては、Y信号とC信号を分離する分離回路と、Y信号とC信号からY信号、R-Y信号およびB-Y信号をデコードするデコーダとしたが、その他の処理回路とすることもできる。また、その処理する映像信号の方式も、NTSC方式とPAL方式以外の方式とすることも可能である。さらに、入力端子の数は、もっと多或少なくすることも可能である。

#### 【0063】

【発明の効果】以上の如く、請求項1に記載の映像信号入出力装置によれば、入力端子より入力された映像信号のうち所定のものを、バッファアンプを介してバスラインに送出するようにしたので、任意の映像信号を選択し、出力することが可能となる。

【0064】また、請求項7に記載の映像信号入出力装置によれば、バスラインにより第1および第2の処理回路により処理された映像信号を伝送させるとともに、第1の入力端子より入力された映像信号を第2の処理回路に供給するか、第2の入力端子より入力された映像信号を第1の処理回路に供給するようにバスラインを接続するようにしたので、第1の入力端子と第2の入力端子の一方を他方の拡張入力端子として用いることが可能となる。

#### 【図面の簡単な説明】

【図1】本発明の映像信号入出力装置の構成例を示すブロック図である。

【図2】図1のバッファアンプの構成例を示す回路図である。

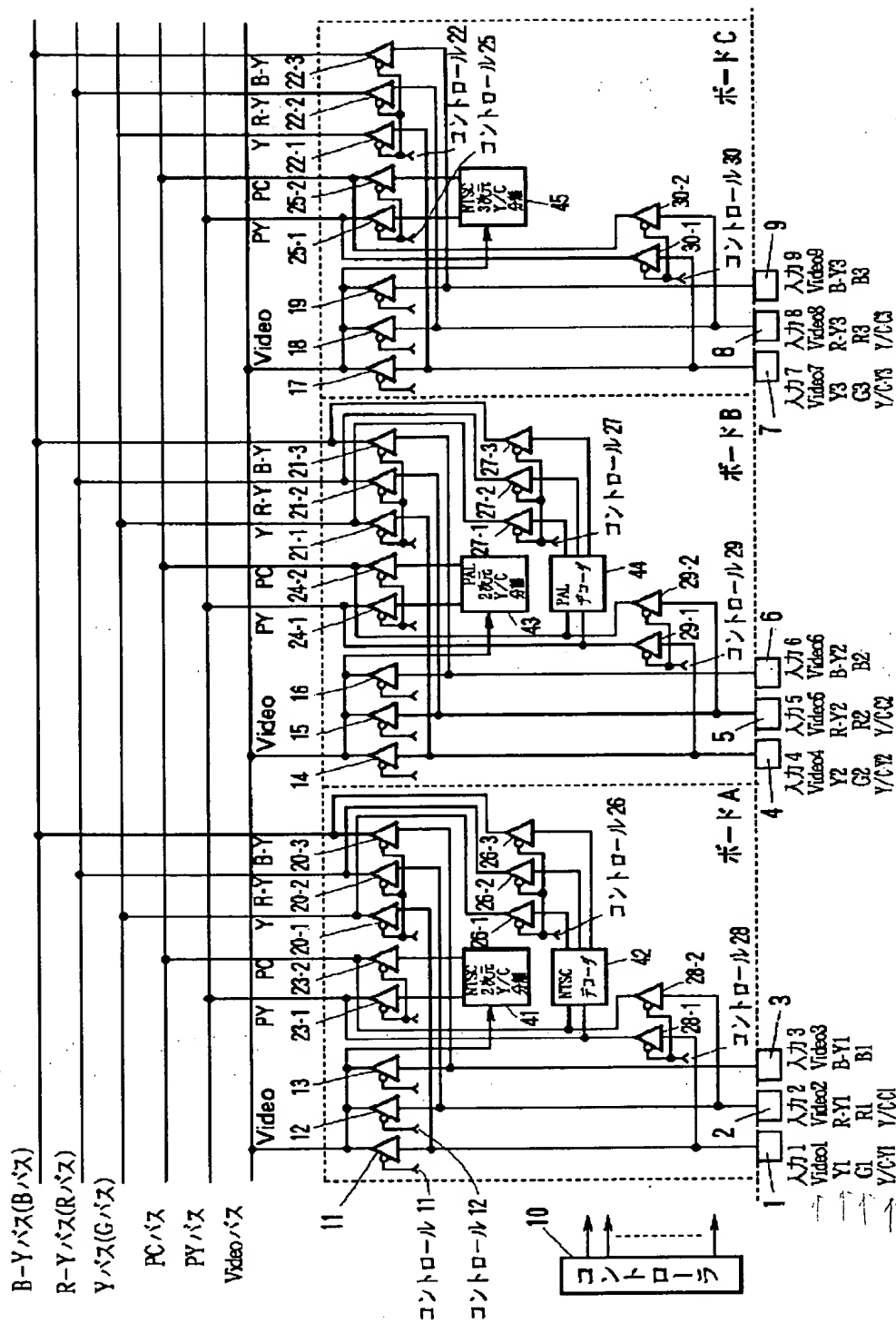
【図3】従来のAVシステムの構成例を示すブロック図である。

#### 【符号の説明】

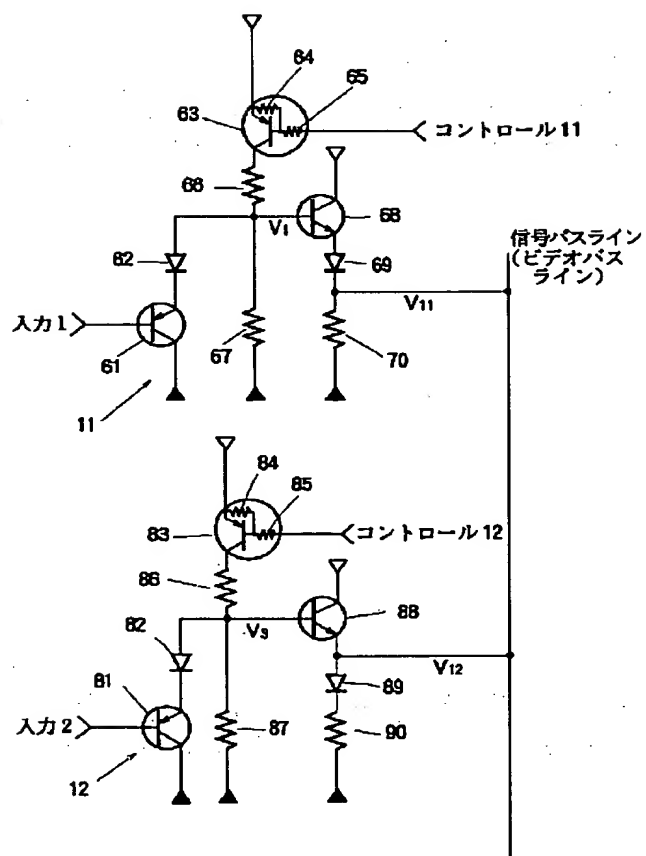
- 1乃至9 入力端子
- 10 コントローラ
- 11乃至19、20-1乃至20-3、21-1乃至21-3、22-1乃至22-3、24-1、24-2、25-1、25-2、26-1乃至26-3、27-1乃至27-3、28-1、28-2、29-1、29-2、30-1、30-2 バッファアンプ
- 41 2次元Y/C分離回路
- 42 NTSCデコーダ
- 43 2次元Y/C分離回路
- 44 PALデコーダ
- 45 3次元Y/C分離回路



【図1】



【図2】



【図3】

